

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

008076583 \*\*Image available\*\*

WPI Acc No: 1989-341695/198947

Related WPI Acc No: 1994-250787; 1994-256791; 1994-295914; 1997-538775;

1997-538776; 1997-538777; 1998-116219; 1998-116220; 1998-116221;

1998-116222; 1998-116223; 1998-155368; 1998-164764; 1998-254300;

1999-513494; 1999-513495; 1999-513496; 1999-513497; 1999-513498;

1999-513499; 1999-513500; 1999-513501

**Active matrix CCD panel for CRT - has drive circuits on common substrate,  
with each picture element including single thin film transistor**

Patent Assignee: SEIKO EPSON CORP (SHIH ); SEIKO EPSON CO LTD (SHIH )

Inventor: MISAWA T; OSHIMA H; HIROYUKI O; TOSHIYUKI M

Number of Countries: 008 Number of Patents: 045

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 342925	A	19891123	EP 89304929	A	19890516	198947 B
<b>JP 1289917</b>	A	19891121	JP 88119919	A	19880517	199001
US 5250931	A	19931005	US 89351758	A	19890515	199341
US 5274279	A	19931228	US 89351758	A	19890515	199401
			US 92923752	A	19920731	
US 5341012	A	19940823	US 89351758	A	19890515	199433
			US 92923751	A	19920731	
EP 342925	B1	19941228	EP 89304929	A	19890516	199505
DE 68920200	E	19950209	DE 620200	A	19890516	199511
			EP 89304929	A	19890516	
KR 9409074	B1	19940929	KR 895609	A	19890428	199635
KR 9410107	B1	19941021	KR 8911609	A	19890428	199637
KR 9504739	B1	19950506	KR 895609	A	19890428	199702
			KR 9411607	A	19940525	
US 5583347	A	19961210	US 89351758	A	19890515	199704
			US 92924695	A	19920731	
			US 93142892	A	19931025	
			US 95402376	A	19950313	
			US 92924695	A	19920731	
			US 93142892	A	19931025	
			US 95402376	A	19950313	
			US 95461409	A	19950605	
US 5341012	B1	19970204	US 89351758	A	19890515	199711
			US 92923751	A	19920731	
US 5616936	A	19970401	US 89351758	A	19890515	199719
			US 92924695	A	19920731	
			US 93142892	A	19931025	
			US 95402054	A	19950310	
US 5648685	A	19970715	US 89351758	A	19890515	199734
			US 92924695	A	19920731	
			US 93142892	A	19931025	
			US 95402376	A	19950313	
			US 95439411	A	19950511	

US 5656826	A	19970812	US 89351758	A	19890515	199738
			US 92924695	A	19920731	
			US 93142892	A	19931025	
			US 95402376	A	19950313	
			US 95412189	A	19950328	
US 5677212	A	19971014	US 89351758	A	19890515	199747
			US 92924695	A	19920731	
			US 93142892	A	19931025	
			US 95402376	A	19950313	
			US 95454733	A	19950531	
JP 9325368	A	19971216	JP 88119919	A	19880517	199809
			JP 9725682	A	19880517	
JP 9325369	A	19971216	JP 88119919	A	19880517	199809
			JP 9725683	A	19880517	
JP 9325370	A	19971216	JP 88119919	A	19880517	199809
			JP 9725686	A	19880517	
JP 9325371	A	19971216	JP 88119919	A	19880517	199809
			JP 9725687	A	19880517	
JP 9329810	A	19971222	JP 88119919	A	19880517	199810
			JP 9725685	A	19880517	
JP 9329811	A	19971222	JP 9725687	A	19880517	199810 N
			JP 9754889	A	19880517	
US 5714771	A	19980203	US 89351758	A	19890515	199812
			US 92924695	A	19920731	
			US 93142892	A	19931025	
			US 95402376	A	19950313	
			US 96721222	A	19960926	
JP 10010584	A	19980116	JP 9725686	A	19880517	199813 N
			JP 9754888	A	19880517	
JP 10026776	A	19980127	JP 9754889	A	19880517	199814 N
			JP 9770278	A	19880517	
JP 10039337	A	19980213	JP 88119919	A	19880517	199817
			JP 9725681	A	19880517	
JP 10039338	A	19980213	JP 88119919	A	19880517	199817
US 5754158	A	19980519	US 89351758	A	19890515	199827
			US 92924695	A	19920731	
			US 93142892	A	19931025	
			US 95402376	A	19950313	
			US 95462275	A	19950605	
			US 97877469	A	19970617	
US 5780872	A	19980714	US 89351758	A	19890515	199835
			US 92924695	A	19920731	
			US 93142892	A	19931025	
			US 95402376	A	19950313	
			US 95439411	A	19950511	
			US 97792228	A	19970131	
US 5811837	A	19980922	US 89351758	A	19890515	199845
			US 92924695	A	19920731	
			US 93142892	A	19931025	

			US 95402376	A	19950313	
			US 95437872	A	19950509	
KR 9514502	B1	19951202	KR 895609	A	19890428	199903
			KR 9411608	A	19940525	
			KR 9521244	A	19950714	
KR 9601506	B1	19960131	KR 895609	A	19890428	199908
			KR 9411608	A	19940525	
US 5904511	A	19990518	US 89351758	A	19890515	199927
			US 92924695	A	19920731	
			US 93142892	A	19931025	
			US 95402376	A	19950313	
			US 95454733	A	19950531	
			US 97823130	A	19970325	
SG 63566	A1	19990330	SG 962894	A	19890516	199932
JP 11237643	A	19990831	JP 9754888	A	19880517	199946 N
			JP 98332647	A	19880517	
JP 11237647	A	19990831	JP 9754888	A	19880517	199946 N
			JP 98332648	A	19880517	
JP 3067671	B2	20000717	JP 88119919	A	19880517	200039
			JP 9725687	A	19880517	
JP 3070503	B2	20000731	JP 88119919	A	19880517	200041
			JP 9725683	A	19880517	
JP 3108991	B2	20001113	JP 88119919	A	19880517	200060
			JP 9725685	A	19880517	
JP 3170217	B2	20010528	JP 88119919	A	19880517	200132
			JP 9725681	A	19880517	
JP 3170218	B2	20010528	JP 88119919	A	19880517	200132
			JP 9725684	A	19880517	
JP 3187736	B2	20010711	JP 88119919	A	19880517	200140
			JP 9725686	A	19880517	
SG 81185	A1	20010619	SG 961705	A	19890516	200141
SG 81859	A1	20010724	SG 962098	A	19890516	200151

Priority Applications (No Type Date): JP 88119919 A 19880517; JP 9725682 A 19880517; JP 9725683 A 19880517; JP 9725686 A 19880517; JP 9725687 A

19880517; JP 9710218 A 19880517; JP 9725081 A 19880517; JP 9725084 A 19880517; JP 98332647 A 19880517; JP 98332648 A 19880517

Cited Patents: 3.Jnl.Ref; A3...9036; EP 239958; GB 2070857; No-SR.Pub

#### Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

EP 342925	A	E	1		
-----------	---	---	---	--	--

Designated States (Regional): FR GB NL

US 5250931	A	36	G09G-003/20	
------------	---	----	-------------	--

US 5274279	A	24	H03K-019/094	Div ex application US 89351758
------------	---	----	--------------	--------------------------------

US 5341012	A	25	H01L-027/01	Div ex application US 89351758
------------	---	----	-------------	--------------------------------

Div ex patent US 5250931

EP 342925	B1 E	32	G02F-001/133	
-----------	------	----	--------------	--

Designated States (Regional): DE FR GB NL

DE 68920200	E		G02F-001/133	Based on patent EP 342925
-------------	---	--	--------------	---------------------------

KR 9409074	B1		G02F-001/133	
------------	----	--	--------------	--

KR 9410107	B1	G02F-001/133	
KR 9504739	B1	G02F-001/136	Div ex application KR 895609
US 5583347	A	27 H01L-029/786	Div ex application US 89351758 Cont of application US 92924695 Cont of application US 93142892 Div ex patent US 5250931
US 5591990	A	28 H01L-027/13	Div ex application US 89351758 Cont of application US 92924695 Cont of application US 93142892 Cont of application US 95402376 Div ex patent US 5250931
US 5341012	B1	2 H01L-027/01	Div ex application US 89351758 Div ex patent US 5250931
US 5616936	A	27 H01L-027/13	Div ex application US 89351758 Cont of application US 92924695 Cont of application US 93142892 Div ex patent US 5250931
US 5648685	A	26 H01L-029/41	Div ex application US 89351758 Cont of application US 92924695 Cont of application US 93142892 Cont of application US 95402376 Div ex patent US 5250931
US 5656826	A	27 H01L-029/786	Div ex application US 89351758 Cont of application US 92924695 Cont of application US 93142892 Cont of application US 95402376 Div ex patent US 5250931 Cont of patent US 5583347
US 5677212	A	26 H01L-021/336	Div ex application US 89351758 Cont of application US 92924695 Cont of application US 93142892 Cont of application US 95402376 Div ex patent US 5250931 Cont of patent US 5583347
JP 9325309	A	20 G02F-001/136	Div ex application JP 88119919
JP 9325370	A	19 G02F-001/136	Div ex application JP 88119919
JP 9325371	A	18 G02F-001/136	Div ex application JP 88119919
JP 9329810	A	19 G02F-001/136	Div ex application JP 88119919
JP 9329811	A	18 G02F-001/136	Div ex application JP 9725687
US 5714771	A	28 H01L-029/786	Div ex application US 89351758 Cont of application US 92924695 Cont of application US 93142892 Cont of application US 95402376 Div ex patent US 5250931 Cont of patent US 5583347
JP 10010584	A	19 G02F-001/136	Div ex application JP 9725686
JP 10026776	A	18 G02F-001/136	Div ex application JP 9754889
JP 10039337	A	20 G02F-001/136	Div ex application JP 88119919
JP 10039338	A	19 G02F-001/136	Div ex application JP 88119919

US 5754158	A	G09G-003/36	Div ex application US 89351758 Cont of application US 92924695 Cont of application US 93142892 Cont of application US 95402376 Cont of application US 95462275 Div ex patent US 5250931 Cont of patent US 5583347
US 5780872	A	H01L-029/786	Div ex application US 89351758 Cont of application US 92924695 Cont of application US 93142892 Cont of application US 95402376 Cont of application US 95439411 Div ex patent US 5250931 Cont of patent US 5583347 Cont of patent US 5648685
US 5811837	A	H01L-029/786	Div ex application US 89351758 Cont of application US 92924695 Cont of application US 93142892 Cont of application US 95402376 Div ex patent US 5250931 Cont of patent US 5583347
KR 9514502	B1	G02F-001/133	Div ex application KR 895609 Div ex application KR 9411608
KR 9601506	B1	G02F-001/136	Div ex application KR 895609
US 5904511	A	H01L-021/336	Div ex application US 89351758 Cont of application US 92924695 Cont of application US 93142892 Cont of application US 95402376 Div ex application US 95454733 Div ex patent US 5250931 Cont of patent US 5583347 Div ex patent US 5677212
SG 63566	A1	H01L-027/12	
JP 11237643	A	18 G02F-001/1345	Div ex application JP 9754888
JP 3067671	B2	17 G02F-001/1368	Div ex application JP 88119919 Previous Publ. patent JP 9325371
JP 3070503	B2	18 G02F-001/1368	Div ex application JP 88119919 Previous Publ. patent JP 9325369
JP 3108991	B2	17 G02F-001/1368	Div ex application JP 88119919 Previous Publ. patent JP 9329810
JP 3170217	B2	18 G02F-001/1368	Div ex application JP 88119919 Previous Publ. patent JP 10039337
JP 3170218	B2	18 G02F-001/1368	Div ex application JP 88119919 Previous Publ. patent JP 10039338
JP 3187736	B2	18 G02F-001/1368	Div ex application JP 88119919 Previous Publ. patent JP 9325370
SG 81185	A1	G02F-001/136	
SG 81859	A1	G02F-001/136	

**Abstract (Basic): EP 342925 A**

A liquid crystal display having an active matrix panel consisting of a picture element matrix (22) mounted on a transparent substrate also includes multiple gate lines (24), multiple source lines (26) and multiple picture elements (33) including a thin film transistor. A gate line drive circuit (21) and a source line drive circuit (12) each comprise multiple thin film transistors all mounted on the transparent substrate.

The thin film transistors of the picture element matrix have a similar cross sectional structure to certain of the thin film transistors of the one of the gate line drive circuit and the source line drive circuit.

ADVANTAGE - Small and lightweight electronic viewfinder has extremely high resolution with a colour filter and low power consumption. Increased CRT flexibility.

Dwg.1/19

Title Terms: ACTIVE; MATRIX; CCD; PANEL; CRT; DRIVE; CIRCUIT; COMMON; SUBSTRATE; PICTURE; ELEMENT; SINGLE; THIN; FILM; TRANSISTOR

Derwent Class: L03; P81; P85; U12; U14

International Patent Class (Main): G02F-001/133; G02F-001/1345; G02F-001/136; G02F-001/1368; G09G-003/20; G09G-003/36; H01L-021/336; H01L-027/01; H01L-027/12; H01L-027/13; H01L-029/41; H01L-029/786; H03K-019/094

International Patent Class (Additional): G02F-001/13; G02F-001/137; G09F-009/00; G09F-009/30; G09F-009/33; G09G-005/00; H01L-021/84; H01L-023/528; H01L-023/535; H01L-027/02; H01L-029/78; H01L-031/0392; H03K-017/84

File Segment: CPI; EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02992317      \*\*Image available\*\*

ACTIVE MATRIX PANEL

PUB. NO.:      01-289917 [JP 1289917 A]

PUBLISHED:      November 21, 1989 (19891121)

INVENTOR(s):   MISAWA TOSHIYUKI

                 OSHIMA HIROYUKI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)

                 , JP (Japan)

APPL. NO.:      63-119919 [JP 88119919]

FILED:           May 17, 1988 (19880517)

INTL CLASS:      [4] G02F-001/133; G09F-009/30; H01L-027/12; H01L-029/78

JAPIO CLASS:    29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2  
                 (ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION  
                 -- Other)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS --  
Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: P, Section No. 1004, Vol. 14, No. 72, Pg. 16, February 09, 1990  
(19900209)

#### ABSTRACT

PURPOSE: To obtain a high-accuracy compact and reliable active matrix panel  
by providing thin film transistors (TR) which constitute a picture element  
matrix with the same section structure with a P or N type thin film TR.

CONSTITUTION: The picture element matrix 22 includes source lines 26-28  
connected to a source line driver circuit 12, gate lines 24 and 25  
connected to a gate line driver circuit 21, and picture elements 32 and 33  
formed at intersections of the source lines and gate lines. A picture  
element includes a thin film TR TFT29 and a liquid crystal cell 30, which  
consists of a picture element electrode and a counter electrode 31. The  
thin films TR 29 which constitute the picture element matrix 22 have the  
same section structure with one of P type thin film TRs and N type thin  
film TRs which constitute a gate line driver circuit and a source line  
driver circuit. Consequently, the high- accuracy compact and reliable

訂正有り

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-289917

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)11月21日

G 02 F 1/133  
G 09 F 9/30  
H 01 L 27/12  
29/78

3 2 7  
3 3 8  
3 1 1

7370-2H  
7335-5C  
A-7514-5F  
A-8624-5F

審査請求 未請求 請求項の数 5 (全 21 頁)

⑭ 発明の名称 アクティブマトリクスパネル

⑯ 特 願 昭63-119919

⑰ 出 願 昭63(1988)5月17日

⑱ 発 明 者 三 澤 利 之 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式  
会社内

⑲ 発 明 者 大 島 弘 之 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式  
会社内

⑳ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

㉑ 代 理 人 弁理士 上柳 雅 菅 外1名

明 細 書

1. 発明の名称

アクティブマトリクスパネル

2. 特許請求の範囲

(1) 複数のゲート線、複数のソース線及び薄膜

た第一の透明基板と該第一の透明基板に対向配置された第二の透明基板と該第一及び第二の透明基板間に介設された液晶より成るアクティブマトリクスパネルにおいて、

該第一の透明基板上に、シリコン薄膜による相補形薄膜トランジスタより成るゲート線ドライバー回路及びシリコン薄膜による相補形薄膜トランジスタより成るソース線ドライバー回路の少なくとも一方を具備し、前記画素マトリクスを構成する薄膜トランジスタは、前記ゲート線ドライバー回路乃至ソース線ドライバー回路を構成するP形薄膜トランジスタ及びN形薄膜トランジスタのう

ちの一方と同一の断面構造を有することを特徴とするアクティブマトリクスパネル。

(2) 前記ゲート線ドライバー回路及び前記ソース線ドライバー回路は相補形薄膜トランジスタによるスタティックシフトレジスタを含むことを特徴とする請求項1記載のアクティブマトリクスパネル。

ドライバー回路はP形及びN形の薄膜トランジスタより成り、前記P形薄膜トランジスタはソース領域及びドレイン領域にアクセプタ不純物を含み、前記N形薄膜トランジスタはソース領域及びドレイン領域にアクセプタ不純物と該アクセプタ不純物よりも高濃度のドナー不純物を含むことを特徴とする請求項1又は請求項2記載のアクティブマトリクスパネル。

(4) 前記ゲート線ドライバー回路及びソース線ドライバー回路はP形及びN形の薄膜トランジスタより成り、前記N形薄膜トランジスタはソース領域及びドレイン領域にドナー不純物を含み、前

記P形薄膜トランジスタはソース領域及びドレイン領域にドナー不純物と該ドナー不純物よりも高濃度のアクセプタ不純物を含むことを特徴とする請求項1又は請求項2記載のアクティブマトリクスパネル。

(5) 前記ゲート線ドライバー回路及びソース線ドライバー回路を構成するP形及びN形の薄膜トランジスタのゲート長は前記画素マトリクスを構成する薄膜トランジスタのゲート長よりも短かく形成されたことを特徴とする請求項1又は請求項2記載のアクティブマトリクスパネル。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明は、薄膜トランジスタを用いて形成されたアクティブマトリクスパネルに関する。

#### 〔従来の技術〕

従来のアクティブマトリクス液晶パネルは、文献「エスアイディー83ダイジェスト」156頁～157頁、B/WアンドカラーLCビデオディスプレイ

3

の様な課題があった。

#### (1) 高精細化が妨げられていた

従来は、第19図に示す様にフレキシブル基板3と、アクティブマトリクスパネル1のソース線又はゲート線とがパッド5において接続されており、実装技術上接続可能なパッド間隔によって画素ピッチが制限されていた。このため、従来、1

トリクスパネルを量産することは大変困難であり高精細化が妨げられていた。

#### (2) 表示装置の小形化が妨げられていた

第19図に示される様な従来のアクティブマトリクスパネルは、ドライバー集積回路が外付けされていたため実装基板6の外形寸法が面積にして画素マトリクス部2の4～5倍程度又はそれ以上必要であった。このため、従来のアクティブマトリクスパネルを使用した表示装置の大きさは表示に寄与する画素マトリクス部の面積の割に大形にならざるを得ず、このことは、例えばビデオカメラのビューファインダーの様な超小形モニターへ

5

ブレイズアドレストバイポリシリコンティーエフティーズ」(モロズミ他)に示される様に薄膜トランジスタを用いた画素マトリクスが透明基板上に形成されたものであり、ゲート線ドライバー回路及びソース線ドライバー回路は単結晶シリコンによるMOS集積回路で形成され第19図に示す様に前記アクティブマトリクスパネルに外付けされていた。第19図において、1はアクティブマトリクスパネルであり、該アクティブマトリクスパネル1は画素マトリクス2を備えている。3はフレキシブル基板であり、単結晶シリコンによるドライバー集積回路4が搭載されている。アクティブマトリクスパネル1とフレキシブル基板3とはパッド5において接続されている。実装基板6は、ドライバー集積回路4と外部回路とを電気的に接続するのみならずフレキシブル基板3及びアクティブマトリクスパネル1を機械的に保持している。

#### 〔発明が解決しようとする課題〕

従来のアクティブマトリクスパネルに依ると次

4

の応用を制限する要因を成していた。

#### (3) 製造コストが高かった

表示装置を製造する際、アクティブマトリクスパネル1とフレキシブル基板3とを接続する工程、ドライバー集積回路4とフレキシブル基板3とを接続する工程及び、フレキシブル基板3と実装基板6とを実装する工程を必要とし製造コスト

#### (4) 信頼性が低かった

アクティブマトリクスパネル1とフレキシブル基板3との接続、ドライバー集積回路4とフレキシブル基板3との接続等接続箇所が多くしかもそれらに応力が加わりやすいため、前記接続箇所における接続強度が十分でなく、表示装置全体の信頼性が低かった。又は、十分な信頼性を確保するために多大な費用を要した。

本発明は、以上のごとき課題を解決し、高精細かつコンパクトで信頼性に優れたアクティブマトリクスパネルを安価に提供することを目的とする。また、本発明のアクティブマトリクスパネル

6

はビデオカメラの電子ビューファインダーや携帯形 VTR のモニター等に応用されることを意図している。更に、投写形表示装置のライトバルブとしての使用も意図している。

#### 【課題を解決するための手段】

上述の課題を解決するため、本発明は次に示す手段を施す。

複数のゲート線、複数のソース線及び薄膜トランジスタを備えた画素マトリクスが形成された第一の透明基板と該第一の透明基板に対向配置された第二の透明基板と該第一及び第二の透明基板間に介設された液晶より成るアクティブマトリクスパネルにおいて、

該第一の透明基板上に、シリコン薄膜による相補形薄膜トランジスタより成るゲート線ドライバー回路及びシリコン薄膜による相補形薄膜トランジスタより成るソース線ドライバー回路の少なくとも一方を具備し、前記画素マトリクスを構成する薄膜トランジスタは、前記ゲート線ドライバー回路乃至ソース線ドライバー回路を構成する P 形

薄膜トランジスタ及び N 形薄膜トランジスタの一方と同一の断面構造を有することを特徴とするアクティブマトリクスパネルを提供する。

前記ゲート線ドライバー回路及び前記ソース線ドライバー回路は相補形 MOS 構造のスタティックシフトレジスタを含むことを特徴とするアクティブマトリクスパネルを提供する。

前記ゲート線ドライバー回路及びソース線ドライバー回路は P 形及び N 形の薄膜トランジスタより成り、前記 P 形薄膜トランジスタはソース領域及びドレイン領域にアクセプタ不純物を含み、前記 N 形薄膜トランジスタはソース領域及びドレイン領域にアクセプタ不純物と該アクセプタ不純物よりも高濃度のドナー不純物を含むことを特徴とするアクティブマトリクスパネルを提供する。

前記ゲート線ドライバー回路及びソース線ドライバー回路は P 形及び N 形の薄膜トランジスタより成り、前記 N 形薄膜トランジスタはソース領域及びドレイン領域にドナー不純物を含み、前記 P 形薄膜トランジスタはソース領域及びドレイン領

7

域にドナー不純物と該ドナー不純物よりも高濃度のアクセプタ不純物を含むことを特徴とするアクティブマトリクスパネルを提供する。

前記ゲート線ドライバー回路及びソース線ドライバー回路を構成する P 形及び N 形の薄膜トランジスタのゲート長は前記画素マトリクスを構成する薄膜トランジスタのゲート長よりも短かく形成されたことを特徴とするアクティブマトリクスパ

#### 【実施例】

以下、図面に基づいて本発明の実施例を詳細に説明する。

第 1 図に本発明の実施例を示す。同図はシリコン薄膜による相補形金属酸化膜半導体構造 (Complementary Metal Oxide Semiconductor : 以下、CMOS 構造と略記する。) のソース線ドライバー回路 12 及びゲート線ドライバー回路 21 と画素マトリクス 22 とが同一の透明基板上に形成されたアクティブマトリクスパネル 11 の構造を示したブロック図である。ソース線ドライバ

8

ー回路 12 はシフトレジスタ 13、薄膜トランジスタ (Thin Film Transistor: 以下、TFT と略記する。) より成るサンプルホールド回路 17、18、19、及びビデオ信号バス 14、15、16 を含み、ゲート線ドライバー回路 21 はシフトレジスタ 20 及び必要に応じてバッファ 23 を含む。また、画素マトリクス 22 は、前記ソース線ドライバー回路 12 に接続される複数のソー

1 に接続される複数のゲート線 24、25 及びソース線とゲート線の交点に形成された複数の画素 32、33 を含む。該画素は TFT 29 及び液晶セル 31 を含み、該液晶セル 31 は画素電極と対向電極 31 と液晶より成る。尚、前記シフトレジスタ 13 及び 20 はソース線及びゲート線を順次選択する機能を有する他の回路、例えばカウンタ及びデコードで代用しても差し支えない。ソース線ドライバー回路の入力端子 34、35、36 には、それぞれ、クロック信号 CLX、スタート信号 DX、ビデオ信号 V<sub>1</sub>、V<sub>2</sub>、V<sub>3</sub> が入力さ

9

10

れ、ゲート線ドライバー回路の入力端子37、38には、それぞれクロック信号CLY、スタート信号DYが入力される。

第1図のシフトレジスタ13及びシフトレジスタ20はP形TFT及びN形TFTより成る相補形TFTによるスタティック形又はダイナミック形回路、もしくは片極性TFTによるダイナミック形又はスタティック形回路にて構成され得る。これらのうち、TFTのデバイス性能を考慮すると、相補形TFTによるスタティック形回路が最適である。この理由は以下の様に説明される。一般に、アクティブマトリクスパネルに使用されるTFTは絶縁基板上に多結晶又は非品質のシリコン薄膜で形成されるため、単結晶シリコンによる金属酸化膜半導体電界効果トランジスタ(以下、MOSFETと略記する。)に比較して、そのオン電流は小さくそのオフ電流は大きい。この理由は、シリコン薄膜中に存在するトラップ密度が単結晶シリコン中のそれに比べてはるかに高いためキャリア移動度が小さくなること及び逆バイアス

されたPN接合においてキャリアの再結合が頻繁に起こることによる。このようなTFTのデバイス上の特徴に鑑み、以下の理由によって本発明は相補形TFTによるスタティックシフトレジスタを採用する。

(1) TFTはオフ電流が大きいため、TFTによって構成されたダイナミック回路は動作電圧範囲、動作周波数範囲並びに動作温度範囲が狭い。

(2) アクティブマトリクス型液晶パネルの低消費電力性を生かすためドライバー回路は低消費電力のCMOS構造で形成される必要がある。

(3) 片極性MOSダイナミックシフトレジスタに比べて、要求されるオン電流値が小さくて済む。

第2図(a)に、第1図のシフトレジスタ13及び20の回路構造例を示す。第2図(a)において、インバータ41及び42は第2図(b)に示す様にP形TFT47とN形TFT48とから成る。また、クロックドインバータ43及び46は、第2図(c)に示す様にP形TFT49、5

1 1

0とN形TFT51、52とから成り、N形TFT52のゲートにクロック信号CLが、P形TFT49のゲートに反転クロック信号 $\overline{CL}$ が入力される。同様に、クロックドインバータ44及び45は、P形TFT53、54とN形TFT55、56とから成り、N形TFT56のゲートに反転クロック信号 $\overline{CL}$ が、P形TFT53のゲートに

において、クロックドインバータ43、46の代わりに第2図(e)に示すインバータ57とN形TFT58及びP形TFT59より成るアナログスイッチとで構成された回路を使用し、クロックドインバータ44、45の代わりに第2図(f)に示すインバータ60とN形TFT61及びP形TFT62より成るアナログスイッチとで構成された回路を使用しても差し支えない。

上述したごとく、アクティブマトリクスパネルにおいてドライバー回路をCMOS構造のTFTで構成することは大変有益である。しかし、従来技術を単にTFTに適用することによって得られ

1 2

る相補形TFT集積回路は以下の様な欠点を有している。

(1) P形TFTとN形TFTの双方を同一基板上に集積化する製造方法が複雑となり製造コストが高くなる。

(2) 相補形TFT集積回路を構成するための重要な要素である特性の揃ったP形TFTとN形T

(3) P形TFT及びN形TFTがドライバー回路を実現するに足る駆動能力を備えていない。

本発明は、製造方法、デバイス構造、デバイス寸法、材料等に工夫を加えることによって上記の問題点を克服している。以下、順を追ってそれらを説明する。

第3図(a)に第1図のソース線ドライバー回路12及びゲート線ドライバー回路21を構成する相補形TFTの断面構造の一例を、第3図(b)に第1図の画素マトリクス22を構成するTFT及び画素の断面構造の一例を示す。第3図(a)において、71はガラス、石英基板等の絶

線基板であり、その上にP形TFT99及びN形TFT100が形成されている。73、76はチャネル領域となるシリコン薄膜、72、74、75、77はソース領域又はドレイン領域となるシリコン薄膜であり、72、74はP形に不純物ドーピングされており、75、77はN形に不純物ドーピングされている。78、79はSiO<sub>2</sub>、シリコンナイトライド等によるゲート絶縁膜、80、81は多結晶シリコン、金属、金属シリサイド等によるゲート電極、82はSiO<sub>2</sub>等による層間絶縁膜、83は金属等による配線層、84はSiO<sub>2</sub>等による絶縁膜、85はパシベーション膜である。一方、画素マトリクス断面構造を示した第3図(b)において、86は同図(a)の71と同一の絶縁基板であり、その上に画素TFT101とITO(インジウム・ティン・オキシド)等の透明導電膜から成る画素電極94とが形成されている。87、88、89は第3図(a)の72、73、74、75、76、77と同一のシリコン薄膜層で形成されており、88はチャネル領

域、87及び89はソース領域又はドレイン領域を成す。領域87及び89はP形又はN形に不純物ドーピングされており、それらの領域に含まれる不純物の構成は領域72及び74又は領域75及び77に含まれる不純物の構成と同一である。90は78、79と同一の層より成るゲート絶縁膜、91は80、81と同一の層より成るゲート電極、92は82と同一の層より成る層間絶縁膜、93は83と同一の層より成る配線層、95は84と同一の層より成る絶縁膜、96は液晶、97は透明導電膜層を含む対向電極、98は透明基板である。ここで、ドライバ回路を構成するTFT99、100と画素TFT101とは、ソース・ドレイン領域、チャネル領域、ゲート絶縁膜、ゲート電極、層間絶縁膜はそれぞれ同一の薄膜層で形成されている。また、ソース線ドライバ回路並びにゲート線ドライバ回路におけるTFT間の接続は例えばアルミニウム等の金属によるシート抵抗の低い配線層83を介して成され、画素マトリクス内のソース線は83と同一の層よ

15

り成る配線層93にて形成され、画素電極94のみがITO等の透明導電膜層で形成される。前記配線層(93)をアルミニウム又はアルミシリサイドで、前記透明導電膜層(94)をITOで形成する場合、それら二つの層の間に層間絶縁膜を設けない構造とすれば同一の工程にて開口されたスルーホール(102、103)をそれぞれ異な

7、89)との接続用に使用することが可能となり製造工程が簡略化される。ここで、アルミニウムとITOは異なるエッチング液にて加工され、しかもITOはアルミニウムのエッチング液にて浸されないという性質を利用しITOをアルミニウムよりも前の工程にて成膜しパターン形成する。第3図(b)において、絶縁膜95は液晶96に直流電圧が印加されるのを防ぐためのキャパシタでありその容量値は画素容量の値に比して十分に小さくなくてはならず、従ってその膜厚は一定値(例えば、3000Å程度)以下でなくてはならない。一方、耐湿性を確保するため、第3図

16

(a)に示す様にドライバ回路部を一定値(例えば1μm程度)以上の膜厚を有するパシベーション膜85にて被う必要がある。パシベーション膜85は、アクティブマトリクス基板全面に成膜した後ドライバ部を残して除去するという方法で形成するのが最も有効であり、このため、前記パシベーション膜85は、絶縁膜84、95を浸

ポリイミド等、で構成される。

上記本発明の製造方法並びにそれにより得られる相補形TFTの構造上の特徴について以下に説明する。従来の単結晶シリコンによるCMOS集積回路の製造方法に依ると片極性例えばN形MOSFETによる集積回路の製造工程に比して最低4回のホト工程(低濃度Pウエル形成工程、P形ストッパ層形成工程、P形MOSFETのソース・ドレイン形成工程、N形MOSFETのソース・ドレイン形成工程)が余分に必要となる。これに対し、本発明によると片極性TFT集積回路の製造工程に比して最低1回のホト工程を追加す

ることによって相補形TFT集積回路が実現される。

第4図(a)～(d)に、本発明のアクティブマトリクスパネルの製造工程の主要部の一例を示す。まず第4図(a)の様に、透明な絶縁基板110上にシリコン薄膜を堆積させた後、所望のパターンを形成して、P形TFTのチャネル領域111及びN形TFTのチャネル領域112、113を形成する。その後、熱酸化法や気相成長法を用いてゲート絶縁膜114、115、116を形成し、更にゲート電極117、118、119を形成する。次に、第4図(b)の様に、イオン打ち込み法を用いてボロンなどのアクセプタ不純物120を全面に打ち込む。打ち込まれたアクセプタ不純物は後の熱処理で活性化してアクセプタとなりP形半導体を形成する。これにより、P形TFTのソース・ドレイン領域121、122が形成される。この際、N形TFTのソース・ドレイン領域となるべき領域123、124、125、126にもアクセプタが添加される。次に、第4

図(c)の様に、P形TFTを、例えばホトレジスト128等のマスク材で被覆して、リン又はヒ素等のドナー不純物127を前記アクセプタ不純物120より高濃度に打ち込む。打ち込まれたドナー不純物は後の熱処理で活性化してドナーとなる。仮に、前記イオン打ち込みされたアクセプタ不純物の濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 、ドナー不純物の濃度が $3 \times 10^{18} \text{ cm}^{-3}$ であれば、領域123、124、125、126は $2 \times 10^{18} \text{ cm}^{-3}$ に対応するドナーのみが含まれるのとはほぼ等価となる。以上でN形TFTのソース・ドレイン領域123、124、125、126が形成される。次に、第4図(d)の様に、前記マスク材128を除去した後、層間絶縁膜129を堆積させ、スルーホールを開口し、透明導電膜による画素電極131を形成し、金属等による配線130を形成する。以上でドライバー回路部のP形TFT132、N形TFT133、画素マトリクス部の画素TFTを成すN形TFT134が完成する。尚、画素マトリクス部のTFTをP形に形成すること

## 19

もちろん可能である。この様にして得られたTFTにおいて、P形TFTはソース・ドレイン領域にアクセプタ不純物を含み、N形TFTはソース・ドレイン領域にアクセプタ不純物と該アクセプタ不純物よりも高濃度のドナー不純物を含む。

上記製造工程において、第4図(b)のアクセ

(c)のドナー不純物127をアクセプタ不純物127に置き換えることによって、同図(d)にN形TFT132及びP形TFT133、134が得られる。この様にして得られたN形TFTはソース・ドレイン領域にドナー不純物を含み、P形TFTはソース・ドレイン領域にドナー不純物と該ドナー不純物よりも高濃度のアクセプタ不純物を含む。

上述の製造方法によれば、片極性TFT集積回路の製造工程に対し、第4図(c)のマスクパターン128の形成に要する1回のホット工程を追加するだけで相補形TFT集積回路が形成される。

## 20

これによってドライバー回路を内蔵したアクティブマトリクスパネルが実現可能となる。経済的見地からみて、上述の製造方法が最良であることはもちろんであるが、アクセプタ不純物、ドナー不純物をイオン打ち込みするそれぞれの工程でマスクパターンを形成する方法を採用しても差し支えない。また、上述の方法によって製造された相補

絶縁基板上に島状に分離されており特別な素子分離工程を必要としない。更に、単結晶シリコンによる集積回路と異なり寄生MOSFETが生ずることが無く、チャネルストッパーを形成する必要がない。

次に、相補形集積回路を構成するために必要な特性の揃ったP形TFT及びN形TFTを実現する手段について述べる。従来、II-VI族化合物半導体を用いたTFTが古くから知られている。しかし、次の二つの理由、

(1) 化合物半導体では、P形、N形双方の導電性を制御し実現することが事実上不可能である。

第1表

	キャリア移動度 ( $\text{cm}^2/\text{V} \cdot \text{sec}$ )	
	N 形	P 形
非品質シリコン	0.1 ~ 1	$10^{-4} \sim 10^{-2}$
多結晶シリコン	5 ~ 50	5 ~ 50

(2) 化合物半導体と絶縁膜との界面の制御が極めて困難であり、MOS構造が実現されていない。

によって、化合物半導体を用いて相補形TFTを実現することは出来ない。従って、本発明ではシリコン薄膜にてソース・ドレイン領域及びチャネル領域を形成する。シリコン薄膜のうち、非品質シリコン薄膜及び多結晶シリコン薄膜について、伝導形別にそのキャリア移動度を第1表に示す。同表より、TFTを構成する際、P形、N形双方で特性を揃えやすいこと及びTFTの電流供給能力を大きく出来ることから、相補形TFT集積回路を実現するためには多結晶シリコン薄膜が最適であると言える。

次に、TFT、特にドライバ回路を構成するP形及びN形TFTの電流供給能力を高めるために本発明が採用する手段について述べる。先に述べたごとく、非単結晶シリコン薄膜によるTFTは、トラップ密度が高いため、単結晶シリコンMOSFETに比してオン電流が小さくオフ電流が大きい特性を有する。第5図に、ゲート長、ゲート幅、及びソース・ドレイン電圧 $V_{DS}$ を同一として測定した単結晶シリコンMOSFETの特性140とシリコン薄膜によるTFTの特性141とを比較して示す。同図で、横軸はソースを基準としたゲートの電圧 $V_{GS}$ 、縦軸はソース・ドレ

23

イン間電流 $I_{DS}$ の相対値である。同図からわかる様にTFTはオン・オフ比が低いため、第1図における画素マトリクス用TFT29とドライバ回路12及び21を構成するTFTのそれぞれを最適な素子寸法に形成しなくてはならない。例えば、NTSC信号を表示することを意図した場合、画素マトリクス用TFTは、使用温度範囲内において次式を満足しなくてはならない。

$$0.1 \cdot C_1 R_{on1} \geq \frac{1}{60} (\text{sec}) \quad \dots (1)$$

$$5 \cdot C_1 R_{on1} \leq 10 (\mu \text{sec}) \quad \dots (2)$$

ここで、 $C_1$ は一画素の全画素容量、 $R_{on1}$ 、 $R_{off1}$ はそれぞれTFTのオン抵抗、オフ抵抗である。式(1)は任意の画素における保持条件であり、これが満足されれば書き込まれた電荷の90%以上が1フィールドに亘って保持される。また、式(2)は任意の画素における書き込み条件であり、これが満足されれば所望の表示信号の99%以上が画素に書き込まれる。一方、ドライバ回路を構成するTFTは、使用温度範囲内にお

24

いて次式を満足しなくてはならない。

$$k \cdot (C_2 R_{on2} + C_3 R_{on3}) \leq \frac{1}{2f} \quad (3)$$

ここで、 $C_2$ 、 $C_3$ はそれぞれ図2(a)における節点142、143に付加する容量、 $R_{on2}$ 、 $R_{on3}$ はクロックインバート43、インバート41の出力抵抗、 $f$ はシフトレジスタのクロック周波数、 $k$ は定数である。(kの値は、経験的に

実測及びシミュレーションによると、例えばクロック周波数 $f=2\text{MHz}$ 程度のシフトレジスタを実現するためには、ドライバ回路を形成するTFTの $R_{on2}$ 及び $R_{on3}$ は画素TFTの $R_{on1}$ の $\frac{1}{10}$ 以下でなくてはならない。この様な低出力抵抗を実現するため、本発明は、耐圧が許す限度内においてドライバ回路を構成するTFTのゲート長を極力短かく形成する。また、第1図におけるサンプルホールド回路17、18、19を形成するTFTは、シフトレジスタ13を形成する

TFTよりも低耐圧でよい。ため該シフトレジスタ13を形成するTFTよりもゲート長を更に短かく形成する。第6図にゲート長Lの定義を、第2表に本発明に採用する各部のTFTのゲート長の一例を示す。第6図において、142はゲート電極、143はチャネル領域を形成するシリコン薄膜であり、144がゲート長を145がゲート幅を示す。

第2表

	ゲート長 L (μm)	
	P形TFT	N形TFT
画素マトリクス用TFT		20.0
シフトレジスタ用TFT	4.0	5.5
サンプルホールド回路用TFT		4.5

P形TFT及びN形TFTの電流供給能力を高めるため、チャネル領域を形成するシリコン薄膜

27

$X_{p \dots}$  のいずれの値よりも小さく構成する。第7図に、空乏層が形成されたTFTの断面構造を示す。同図において、146は絶縁基板、147はチャネル領域を成すシリコン薄膜、148、149はソース・ドレイン領域を成すシリコン薄膜、150はゲート絶縁膜、151はゲート電極であり、 $X_{p \dots}$ 、 $X_{n \dots}$ は、それぞれ、シリコン薄膜

幅を示している。

以上に述べたそれぞれの手段、即ち、

- (1) ドライバ回路の回路形式を相補形TFTによるスタティック形のものとする。
  - (2) 相補形TFT集積回路の製造方法及び構造に工夫を加えること。
  - (3) P形及びN形TFTの特性を揃えること。
  - (4) TFTの負荷駆動能力を高めること。
- によって、アクティブマトリクスパネルにドライバ回路を内蔵するための基本となる技術が確立される。

次に、上述の基本技術の上に立って、本発明を

29

の膜厚が該シリコン薄膜表面に広がり得る空乏層の幅の最大値より小さくなる様にTFTを構成するという手段を共用すれば更に効果的である。シリコン薄膜によるP形TFTにおける空乏層幅の最大値 $X_{p \dots}$ 、N形TFTにおける空乏層幅の最大値 $X_{n \dots}$ は、それぞれ次式で与えられる。

$$X_{p \dots} = (2 \epsilon \cdot 2 \phi_{fp}) / (q \cdot N_a) \quad \dots (4)$$

$$X_{n \dots} = (2 \epsilon \cdot 2 \phi_{fn}) / (q \cdot N_d) \quad \dots (5)$$

ここで、 $q$ は単位電荷量、 $\epsilon$ はシリコン薄膜の誘電率、 $\phi_{fp}$ 、 $\phi_{fn}$ はそれぞれP形、N形TFTのフェルミエネルギー、 $N_a$ 、 $N_d$ はそれぞれチャネル領域における等価的なドナー密度、アクセプタ密度である。尚、等価的なドナー密度及びアクセプタ密度は、当該領域に存在するドナー及びアクセプタ不純物の密度とドナー及びアクセプタとして働くトラップ密度とから決められる。本発明では、P形及びN形TFTにおけるチャネル領域のシリコン薄膜の厚さを前記 $X_{p \dots}$ 及び

28

更に有効なものとするためのいくつかの手段について説明する。

まず、一番目に、本発明で使用する、アクティブマトリクスパネル内のパターンレイアウト上の工夫について述べる。第8図は、各機能ブロックのレイアウトを説明するための、アクティブマトリクスパネルの平面図である。図像が正像として

0を見て、天及び(又は)地の方向の周辺部にソース線ドライバ回路161(162)を形成し、該ソース線ドライバ回路内で周辺から中心に向かって順にシフトレジスタ163、バッファ164、ビデオ区号バス165、サンプルホールド回路166を配置する。また、左及び(又は)右方向の周辺部にはゲート線ドライバ回路167(170)を形成し、該ゲート線ドライバ回路内で周辺から中心に向かって順にシフトレジスタ168、バッファ169を配置する。前記ソース線ドライバ回路161(162)及びゲート線ドライバ回路167(170)に接する様に

アクティブマトリクスパネル160の中心部に画素マトリクス171を形成し、コーナ部には入力端子172、173、174、175を配置する。信号の伝送は矢印176~180の方向に行なわれる。以上の様に各機能ブロックをレイアウトすることによって、限られたスペースを最も有効に活用することが可能となる。

また、前記ソース線ドライバー回路及び(又は)ゲート線ドライバー回路内において、画素ピッチに等しい(又は画素ピッチの2倍の)限られたピッチ内にドライバー回路の単位セルを形成するために、第9図に示す様なパターンレイアウトを使用する。第9図において、181~183は一画素分(又は2画素分)の画素ピッチでありその長さはDである。第8図の様なレイアウトを採用しつつ、Dを周期としてドライバー回路のセルを繰り返し配置すれば、より一層有効なスペースの活用が可能となる。第9図は、ドライバー回路を構成する一部の薄膜層のパターンレイアウト例を示すものである。同図において、184、18

5はそれぞれ正電源用配線、負電源用配線、186~191はP形TFTのソース・ドレイン及びチャネル部を成すシリコン薄膜、192~195はN形TFTのソース・ドレイン及びチャネル部を成すシリコン薄膜であり、破線で囲まれた領域196、197、198にドライバー回路の単位セルが形成される。各TFTの素子分離は、同極性、異極性にかかわらず、シリコン薄膜を島状にエッチングすることによって成されるため、例えば、N形TFT用シリコン薄膜の島192とP形TFT用シリコン薄膜の島187との距離aと、P形TFT用シリコン薄膜の二つの島187と188との距離bとを略等しくすることが可能となる。本発明は、この性質を積極的に利用し、P形TFT用の島とN形TFTの島とを互いちがいに配置することによって、単位セルが繰り返される方向の集積度を高めている。

本発明は、更に集積度を高めるために、次の様な手段を併用する。第10図(a)、(b)は、正電源用配線199と負電源用配線200との間

3 1

に相補形TFTによるインバータを形成する例である。同図において、201、202はソース部のコンタクト形成用のスルーホール、203はゲート電極である。まず、第10図(a)の様に、208を境界として一つのシリコン薄膜の島にP形領域204とN形領域205とを設ける。次に、第10図(b)の様に、スルーホール206によってドレイン部のコンタクトを形成し、相補

本発明を更に有効にする工夫の二番目は、ソース線ドライバー回路におけるクロックノイズの低減に関するものである。第1図に示される様に、ソース線ドライバー回路12はビデオ信号バス14~16と、シフトレジスタ13を駆動するための少なくとも一対の双対なクロックCL及び $\overline{\text{CL}}$ を伝送するための配線とを備えている。ここで、あるビデオ信号バスとCL配線との間に形成される浮遊容量と、該ビデオ信号バスと $\overline{\text{CL}}$ 配線との間に形成される浮遊容量との間に差異があれば、該ビデオ信号にクロック信号に同期したスパイク

3 2

状のノイズが重畳される結果、アクティブマトリクスパネルの画面上にライン状の表示ムラが生ずる。本発明は、第11図(a)に示す様に、CL用配線と $\overline{\text{CL}}$ 用配線をツイスト配置することによって上述のクロックノイズを低減させる。第11図(a)はソース線ドライバー回路を示しており、210~213はシフトレジスタの単位セル、214、215はビデオ信号バス、216、217はCL配線、218、219は $\overline{\text{CL}}$ 配線である。218、219はそれぞれCL配線 $\overline{\text{CL}}$ 配線であって、配線の略中央においてツイストされている。この様にすることによって、CL配線及びビデオ信号バス間の平均距離と、 $\overline{\text{CL}}$ 配線及びビデオ信号バス間の平均距離とが略等しくなり、その結果、CL配線とビデオ信号バスとの間に付加する浮遊容量( $C_{s1}+C_{s2}$ )と、 $\overline{\text{CL}}$ 配線とビデオ信号バスとの間に付加する浮遊容量( $C_{s3}+C_{s4}$ )とが略等しくなる。また、CLと $\overline{\text{CL}}$ とは第11図(b)に示される様に、一方の立ち上がりタイミングと他方の立ち下がりタイミ

ングが略一致する。以上の結果として、ビデオ信号に重畳されるクロックノイズは大幅に軽減され、画面上にはきれいな表示が得られる。尚、 $CL$ と $\overline{CL}$ とのツイスト回数は複数でも差し支えない。

本発明を更に有効にする工夫の三番目は、サンプルホールド回路に対して直列に付加される抵抗の均一化に関するものである。第12図に、第1図の一部を示す。第12図において、230はソース線ドライバー回路に含まれるシフトレジスタ、231~233はビデオ信号バス、234~236はサンプルホールド回路、240は画素マトリクスである。3本のビデオ信号バス231~233には、例えば3原色赤(R)、緑(G)、青(B)に相当する画像信号が伝送され、それらの組み合わせは1水平走査毎に変えられる。該3本のビデオ信号バスには、低抵抗が要求されるため、配線材料としてアルミ等の金属層が使用される。一方、経済的観点からみて最も有効と考えられる第3図(a)、(b)の構造を採用する場合、

35

駆動するのに十分とは言えない。この動作速度の遅さを補うため、本発明は第13図(a)に例示する回路構造と同図(b)に例示する駆動方法を用いる。第13図(a)において、250はソース線ドライバー回路に含まれる第1のシフトレジスタであり、スタート信号DXとクロック $CL \times 1$ 及び $\overline{CL \times 1}$ が与えられ、出力信号252、254、...

...のシフトレジスタであり、スタート信号DXとクロック $CL \times 2$ 及び $\overline{CL \times 2}$ が与えられ、出力信号253、255、...を出力する。256はビデオ信号Vが与えられるビデオ信号バス、256~259はサンプルホールド回路、261~264はソース線、260は画素マトリクスである。前記ソース線ドライバー回路に入力される信号V、DX、 $CL \times 1$ 、 $\overline{CL \times 1}$ 、 $CL \times 2$ 、 $\overline{CL \times 2}$ 及びシフトレジスタ250、251より出力される信号252~255を第13図(b)に示す。第13図(a)のソース線ドライバー回路は2系列のシフトレジスタ

37

合、前記ビデオ信号バスからサンプルホールド回路に至るまでの配線237~239の材料にはゲート電極と同一の材料、例えば多結晶シリコン薄膜等が使用される。この場合、多結晶シリコン薄膜のシート抵抗が金属層に比してかなり高いことと、単に直線で接続すれば配線237、238、239の長さが等しくならないこととのために、該配線237~239の抵抗が等しくならず、この配線抵抗の差がライン状の表示ムラを生ぜしめる。そこで、本発明は、前記配線237、238、239の抵抗がすべて等しくなる様に配線パターンを工夫する。具体的には、配線幅Wを一定とし配線長Lを等しくする、又は、配線237~239のそれぞれについてWを変える等である。

本発明を更に有効にする工夫の四番目は、TFTによるドライバー回路の動作速度の遅さを補う駆動方法に関するものである。第5図に示される様にTFTの性能は単結晶シリコンMOSFETの性能に比して劣るため、TFTによるシフトレジスタの動作速度はアクティブマトリクスパネルを

36

タ250、251を具備しており、シフトレジスタ250、251はそれぞれ略90°位相のずれたクロック $CL \times 1$  ( $\overline{CL \times 1}$ )、 $CL \times 2$  ( $\overline{CL \times 2}$ )で駆動される。ソース線ドライバー回路がN系列のシフトレジスタを具備する場合、

各シフトレジスタは略 $\frac{180^\circ}{N}$ だけ位相のずれたN

...の周波数を $f$ とすれば、出力信号252~255は $\frac{1}{4f}$ の時間間隔で順次出力され、それぞれのエッジ266~269でビデオ信号Vをサンプリングし、ソース線261~264にホールドする。この結果、周波数 $f$ のクロックで駆動されるシフトレジスタを用いて周波数 $4f$ のサンプリングを実現することが可能となり、TFTによるシフトレジスタの動作速度の遅さを補う有効な手段となる。前記ソース線ドライバー回路がN系列のシフトレジスタを具備する場合、周波数 $f$ のクロックで駆動されるシフト

レジスタを用いて、周波数  $2Nf$  のサンプリングを実現することが可能である。

本発明を更に有効にする工夫の五番目は、ソース線及びゲート線ドライバー回路の各出力にテスト手段を設けることである。第14図に具体例を示す。同図において、280はソース線ドライバー回路に含まれるシフトレジスタ、281はビデオ信号バス端子、282はサンプルホールド回路、283はソース線ドライバーテスト回路、284、285はそれぞれテスト回路283の制御端子、テスト信号出力端子、286はソース線である。すべてのソース線に283の様なテスト回路が付加される。また、287はゲート線ドライバー回路に含まれるシフトレジスタ、288はゲート線ドライバーテスト回路、289、290はそれぞれテスト信号入力端子、テスト信号出力端子、291はゲート線、292は画素マトリクスである。すべてのゲート線に288の様なテスト回路が付加される。前記テスト回路は以下の様に動作する。ソース線ドライバー回路のテスト動作

中、端子284の制御によりテスト回路283をオンさせておく。この状態で、ビデオ信号バス端子281に所定のテスト信号を入力したうえで、シフトレジスタ280を走査する。このとき、テスト出力端子285に規格内の信号が時系列で出力されれば該ソース線ドライバー回路は「良」と判定され、そうでなければ「不良」と判定される。ゲート線ドライバー回路のテスト時、端子289に所定のテスト信号を入力した状態でシフトレジスタ287を走査する。このとき、テスト出力端子290に規格内の信号が時系列で出力されれば該ゲート線ドライバー回路は「良」と判定され、そうでなければ「不良」と判定される。以上の様にすることによって、従来テストパターンを表示したうえで目視にて行っていたアクティブマトリクスパネルの検査を、電気的にしかも自動で実施することが可能となる。

本発明を更に有効にする工夫の六番目は、製造プロセスを追加すること無しに、画素内に保持容量を作り込むことである。第15図(a)、

3 9

(b)に本発明の画素構造の具体例を示す。同図(a)は等価回路、同図(b)は断面構造である。同図(a)において、300、301はそれぞれソース線、ゲート線、302は画素TFT、303は液晶セル、304は対向電極端子であり、305が本発明の特徴を成す金属酸化膜半導体キャパシタ(以下、MOSキャパシタと略記する。)、306が該MOSキャパシタ305のゲ

4 0

部を、領域314がチャネル部を成す。第15図(b)から明らかな様に、MOSキャパシタ305は画素TFT302と全く同一な断面構造を有し、従って、MOSキャパシタ305を形成するために特別な製造プロセスを追加する必要はない。ただし、MOSキャパシタ305を保持容量として使用するためには、領域314にチャネル部を形成する必要がある。

10及び324は透明な絶縁基板、311~315はシリコン薄膜層、316、317はゲート絶縁膜、318、319はゲート電極、320は層間絶縁膜、321はソース線を成す配線層、322は画素電極を成す透明導電膜層、323は透明導電膜層を含む対向電極、325は液晶である。326で示した部分に前記画素TFT302が形成され、領域311、313がソース・ドレイン部を、領域312がチャネル部を成す。327で示した部分には前記MOSキャパシタ305が形成され、領域313、315がソース・ドレイン

部を成す。領域314がチャネル部を成す。第15図(b)から明らかな様に、MOSキャパシタ305は画素TFT302と全く同一な断面構造を有し、従って、MOSキャパシタ305を形成するために特別な製造プロセスを追加する必要はない。ただし、MOSキャパシタ305を保持容量として使用するためには、領域314にチャネル部を形成する必要がある。ゲート電極306には該MOSキャパシタがオンする様な所定の電位を与えておく。所定の電位とは、例えば、MOSキャパシタがN形の場合には正電源電位、P形の場合には負電源電位が適切である。ゲート絶縁膜は通常非常に薄く形成されるため、以上の様にゲート絶縁膜を用いて保持キャパシタを構成することによって、従来の様な層間絶縁膜を用いたものに比較して、単位面積当たり5~10倍の保持容量を得ることが可能となり、保持容量を形成するための面積を節約する上で大変有効である。このため、アクティブマトリ

クスパネルの開口率を極めて高くすることが可能となる。

本発明を更に有効にする工夫の最後は、ドライバー回路を内蔵したアクティブマトリクスパネルの実装に関するものである。第16図(a)、(b)にその具体例を示す。同図(a)は断面構造を示す図であり、330はTFTによる画素マトリクスとドライバー回路とが形成された透明基板、331は対向電極が形成された透明基板、334はシール材、333は封入された液晶、335は実装基板、340は実装基板335の開口部、338は金、アルミ等の金属によるワイヤ、339は保護部材である。実装基板335において、透明基板330が配置される部分に凹部336を設けることは、ワイヤ338による接続強度を確保するうえで大変有効である。また、実装基板の一部又は全部に遮光部材337を設け、透明基板331又は透明基板330に画素マトリクス部の周囲を取り囲む様な形状に帯状に遮光部材332を設けることは、アクティブマトリクスパネ

ルの表示装置としての外観を改善する意味で大変有効である。第16図(b)は、同図(a)のアクティブマトリクスパネル及びその実装構造を平面図にて示したものである。341は画素マトリクス部を示し、点線342は実装基板335の開口部を示す。以上の様にすることによって、次の効果が生ずる。第一に、金属ワイヤ338に加わる応力が均等となるため、接続強度が向上する。第二に、本発明のアクティブマトリクスパネルを透過形表示装置として用い背面に光源を設置する場合、上述の本発明の構造に依れば、画素マトリクス部の周辺から不要な光が洩れることが防止され、表示装置としての外観が向上する。

実施例の最後として、本発明の応用例を二つ挙げて説明する。

応用例の一つは、本発明のアクティブマトリクスパネルを用いて構成される、ビデオカメラ等の電子ビューファインダー(Electric View Finder; 以下、EVFと略記する)である。前述した様な多くの工夫を施すことによって、画素マトリク

## 4 3

スの周辺に相補形TFTによるドライバー回路を集積化する技術が確立され、小形、高精細、低消費電力でありかつ信頼性の高いアクティブマトリクスパネルを安価に得られるようになった結果、第17図に例示する様な構造のEVFが実現可能となっている。第17図において、350は撮像装置、352は記録装置、351はビデオ信号処

理部、353がEVFであり、該EVF353はクロマ回路、同期制御回路、液晶パネル駆動信号形成回路、電源回路、バックライト駆動回路を含む駆動回路部354と、バックライト用光源356と、拡散板357と、偏光板358及び360と、本発明のアクティブマトリクスパネル359と、レンズ361を具備して成る。以上の様にすることによって、従来のCRT(Cathode Ray Tube)を用いたEVFになかった次の様な効果もたらされる。

(1) カラーフィルターを備えたアクティブマトリクスパネルを使用することによって、画素ピッ

## 4 4

チが50 $\mu$ m以下の極めて高精細なカラーEVFが実現される。しかも低消費電力化も促進される。

(2) 極めて小形・省スペースでしかも極めて軽量のEVFが実現される。

(3) EVFの形状の自由度が増大し、例えばフラットEVFの様な斬新な意匠が可能になる。

リクスパネルを液晶ライトバルブとして使用した投写形カラー表示装置である。

第18図は、該投写型カラー表示装置の平面図である。ハロゲンランプ等の投写光源370から発した白色光は、放物ミラー371により集光され、熱線カットフィルター372により赤外線熱線がカットされ、可視光のみがダイクロイックミラー系に入射する。まず、青色反射ダイクロイックミラー373により、青色光(おおむね500[nm]以下の波長の光)を反射し、その他の光(黄色光)を透過する。反射した青色光は、反射ミラー374により方向を変え、青色変調液晶

ライトバルブ 378 に入射する。

青色反射ダイクロイックミラー 373 を透過した光は、緑色反射ダイクロイックミラー 375 に入射し、緑色光（おおむね 500 [nm] から 600 [nm] の間の波長の光）を反射し、その他の光である赤色光（おおむね 600 [nm] 以上の波長の光）を透過する。反射した緑色光は、緑色変調液晶ライトバルブ 379 に入射する。

緑色反射ダイクロイックミラー 375 を透過した赤色光は、反射ミラー 376、377 により方向を変え、赤色変調液晶バルブ 380 に入射する。

青色光、緑色光、赤色光は、それぞれ、青、緑、赤の原色信号で駆動された、本発明のアクティブマトリクスパネルによる液晶ライトバルブ 378、379、380 によって変調された後、ダイクロイックプリズム 383 によって合成される。ダイクロイックプリズム 383 は、青反射面 381 と赤反射面 382 とが互いに直交するように構成されている。こうして合成されたカラー画

47

#### 【発明の効果】

前述の【課題を解決するための手段】並びに【実施例】に対応させて本発明の効果を説明する。

まず、本発明を有効なものとする四つの基本技術がもたらす効果について説明する。

第一に、画素マトリクス部と同一の透明基板上に相補形 TFT によるゲート線乃至ソース線のド

果がもたらされる。

(1) 外付けドライバー集積回路を実装する際の接続ピッチによって、パネルの精細度が制限されることがなくなる。この結果、本発明を用いることによって、50  $\mu$ m 以下の画素ピッチを有する液晶パネルが実現可能となる。

(2) パネルを実装する実装基板の外形寸法が大幅に小形化され、本発明の液晶パネルを用いた表示装置の小形・薄形・軽量化が促進される。

(3) ドライバー集積回路を外付けする工程が不要となるため、本発明の液晶パネルを用いた表示

装置は、投写レンズ 384 によってスクリーン上に拡大投写され表示される。以上の様にするこによって、従来の CRT による投写管を用いた投写形カラー表示装置に無かった次の様な効果もたらされる。

(1) 液晶ライトバルブを、CRT に比してはるかに小形かつ高精細に形成することが出来るため前記投写レンズ 384 に口径の小さいものを使用することが許される。このため、投写形カラー表示装置の小形化、軽量化、低コスト化が実現される。

(2) 本発明のアクティブマトリクスパネルは高い開口率を有するため、小口径の投写レンズを用いても明るい表示を得ることが出来る。

(3) CRT による投写管と異なり、前記ダイクロイックミラー及びダイクロイックプリズムによって赤、緑、青それぞれのライトバルブの光軸を完全に一致させ得るため、三色のレジストレーションが大変良好となる。

以上で本発明の実施例の説明を終える。

48

装置の低コスト化が促進される。

(4) ドライバー集積回路の外付けが不要となるため、本発明の液晶パネルを用いた表示装置の信頼性が向上する。

(5) 相補形 TFT によってドライバー回路を形成することによって、液晶パネルが本来持っている低電力性との相乗効果が発揮され、表示装置全体の消費電力が実現される。これは、本発明の重要な要素である。

第二に、相補形 TFT を用い、尚且つ、シフトレジスタをスタティック形の回路構成とすることによって、低電力化のみならず動作電圧範囲及び動作周波数範囲を広げる効果をもたらす。TFT は第 5 図に示される様なオフ電流の高い特性を有し、更に、オフ電流の温度特性も大きい。この様な TFT の欠点はシフトレジスタをスタティック形構成とすることによって補われ、動作電圧範囲及び動作周波数範囲が拡大される。

第三に、相補形 TFT の構造において、第 1 の

極性のTFTのソース・ドレイン領域に第1の極性の不純物を含み、第2の極性のTFTのソース・ドレイン領域に第1の極性の不純物とそれより高濃度の第2の極性の不純物を含む構造を採用することによって、従来の片極性のTFTの製造工程に単に1回のホト工程を追加することによって、安価に、画素マトリクスを含む相補形TFT集積回路が得られる。更に、特性の揃ったP形並びにN形TFTが得られる。

第四に、ドライバー回路を構成するTFTのゲート長を画素マトリクスを構成するTFTのそれよりも短かく形成することによって、ドライバー回路の動作速度を向上させ、尚且つ、各画素における書き込み、保持動作を最適状態に保つことが可能となる。

次に、本発明を更に有効なものとする七つの手段がもたらす効果について説明する。

第一に、各機能ブロックのパターンレイアウトを、第8図、第9図、第10図(a)、(b)の様にすることによって、特にドライバー回路部の

## 5 1

一回路内蔵アクティブマトリクスパネルが実現される。

第五に、第14図の様にドライバー回路の各出力にテスト回路を設けることによって、従来テストパターンを表示した状態で目視にて行っていたアクティブマトリクスパネルの検査を、電気的にしかも自動で実施することが可能となる。

な構造の保持容量を作り込むことによって、製造コストの上昇無しに、しかも、開口率をほとんど減少させること無しに、各画素における電荷の保持をより確実なものとする事が可能となる。

第七に、実装構造を、第16図(a)、(b)の様なものとする事によって、接続強度及び信頼性を向上させ得るのみならず、本発明のアクティブマトリクスパネルにバックライト装置を併用して透過形表示装置を構成する場合に画素マトリクス部周辺から不要光が洩れることを防止出来る。

最後に、本発明を特定の表示システムに応用す

集積度が高められ、画素ピッチという限定されたピッチ内にドライバー回路の単位セルを作り込むことが可能になる。

第二に、ソース線ドライバー回路のクロック配線を第11図(a)の様に配置することによって、ビデオ信号に混入するクロックノイズを除去し、画面に生ずるライン状の表示ムラを視認不可能なレベルに抑圧することが可能となる。

第三に、第12図に示すサンプルホールド回路に接続される抵抗を全ソース線に亘って均一化することによって、全ソース線への表示信号の書き込みレベルを完全に均一にすることが可能となり、ライン状の表示ムラが除去される。

第四に、ソース線ドライバー回路を、第13図(a)の様に構成し、同図(b)の様な方法で駆動することによって、周波数 $f$ のクロックで駆動されるN系列のシフトレジスタを用いて周波数 $2Nf$ でビデオ信号をサンプリングすることが可能となる。これによって、必ずしもオン電流の大きさが十分でないTFTを用いて高精細なドライバ

## 5 2

ることによって得られる効果について述べる。

第一に、本発明をビデオカメラのEVFに応用することによって、従来のCRTを用いたEVFに無かった以下の効果がもたらされる。

(1) カラーフィルターを備えたアクティブマトリクスパネルを使用することによって、画素ピッチが $50\mu\text{m}$ 以下の極めて高精細なカラーEVF

る。

(2) 極めて小形・省スペースでしかも極めて軽量のEVFが実現される。

(3) EVFの形状の自由度が増大し、例えばフラットEVFの様な斬新な意匠が可能になる。

第二に、本発明を投写形カラー表示装置に応用することによって、従来のCRTを用いたものに無かった以下の効果がもたらされる。

(1) 液晶ライトバルブを、CRTに比してはるかに小形かつ高精細に形成することが出来るため投写レンズに口径の小さいものを使用することが許される。このため、投写形カラー表示装置の小

形化、軽量化、低コスト化が実現される。

(2) 本発明のアクティブマトリクスパネルは高い開口率を有するため、小口径の投写レンズを用いても明るい表示を得ることが出来る。

(3) CRTによる投写管と異なり、前記ダイクロミックミラー及びダイクロミックプリズムによって赤、緑、青それぞれのライトバルブの光軸を完全に一致させ得るため、三色のレジストレーションが大変良好となる。

#### 4. 図面の簡単な説明

第1図は、本発明の実施例、即ち、周辺にドライバー回路を集積化したアクティブマトリクスパネルを示した図。

第2図(a)～(f)は、第1図におけるドライバー回路の詳細な構成例を示した図。

第3図(a)、(b)は、本発明のアクティブマトリクスパネルの断面構造を例示した図。

第4図(a)～(d)は、本発明のアクティブマトリクスパネルの製造方法を例示した図。

5 5

第16図(a)、(b)は、本発明を更に有効なものとする第七の手段を説明するための図。

第17図は、本発明の第一の応用例を示した図。

第18図は、本発明の第二の応用例を示した図。

第19図は、従来技術を説明するための図。

第5図は、本発明に関わるTFTの特性例を単結晶シリコンMOSFETのそれと比較して示した図。

第6図は、本明細書中におけるゲート長、ゲート幅の定義を示した図。

第7図は、本明細書中における空乏層幅、シリコン薄膜の膜厚の定義を示した図。

第8図、第9図、第10図(a)、(b)は、本発明を更に有効なものとする第一の手段を説明するための図。

第11図(a)、(b)は、本発明を更に有効なものとする第二の手段を説明するための図。

第12図は、本発明を更に有効なものとする第三の手段を説明するための図。

第13図(a)、(b)は、本発明を更に有効なものとする第四の手段を説明するための図。

第14図は、本発明を更に有効なものとする第五の手段を説明するための図。

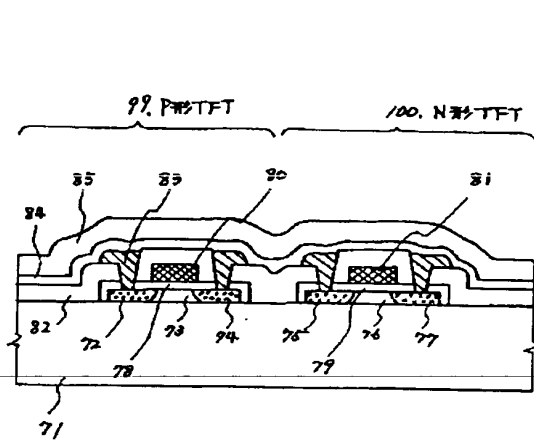
第15図(a)、(b)は、本発明を更に有効なものとする第六の手段を説明するための図。

5 6

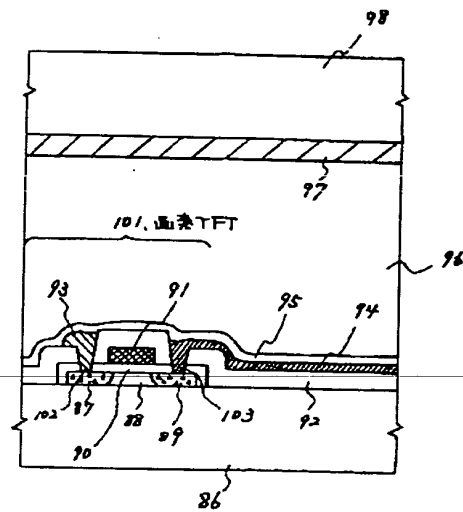
出願人 セイコーエプソン株式会社

代理人 弁理士 上 柳 雅 著 (他1名)



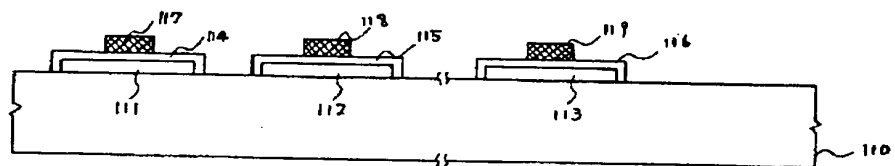


第 3 図 (a)

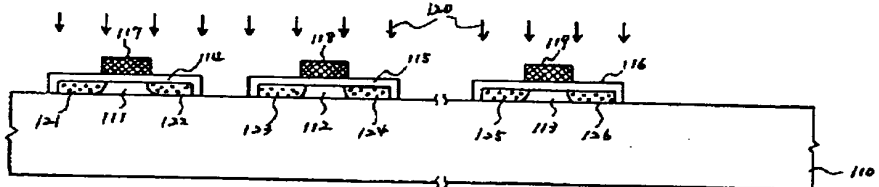


第 3 図 (b)

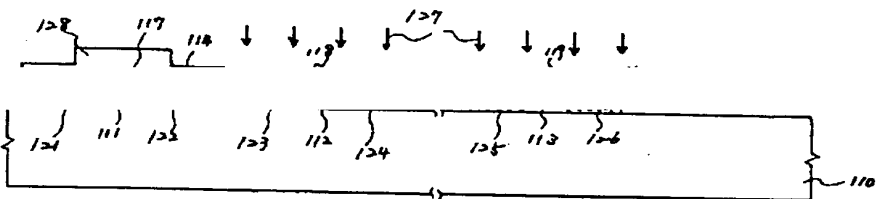
第 4 図 (a)



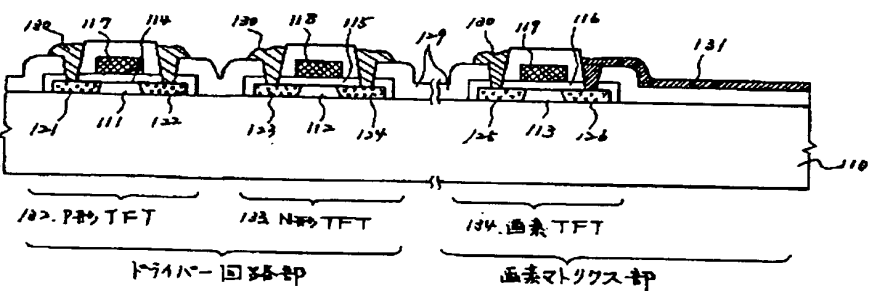
第 4 図 (b)

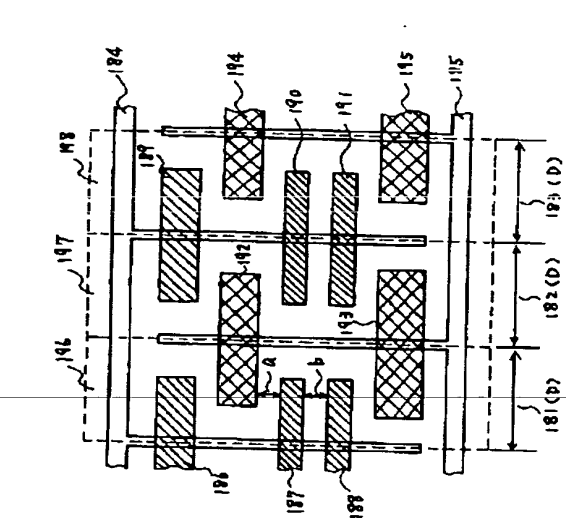


第 4 図 (c)

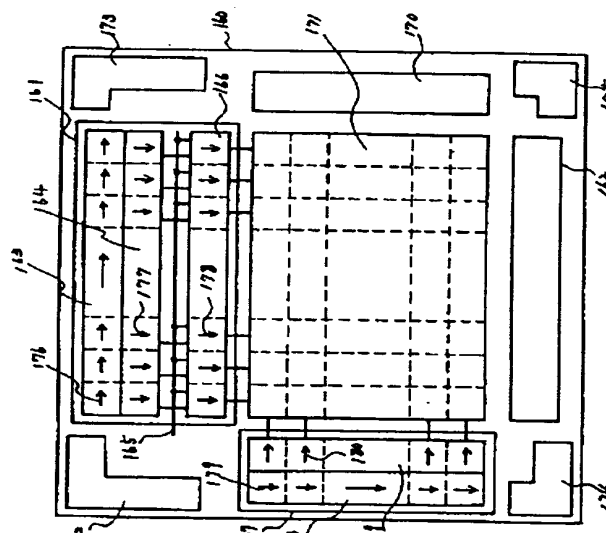


第 4 図 (d)

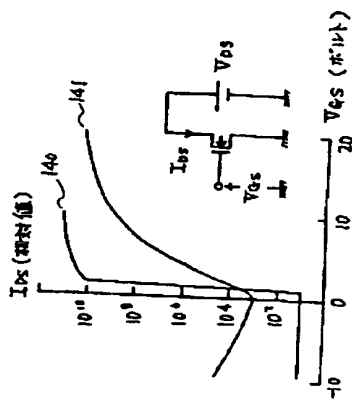




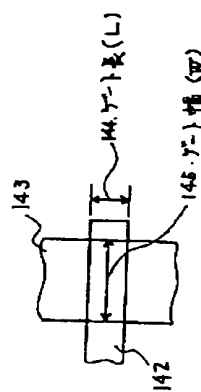
第 7 図



第 8 図

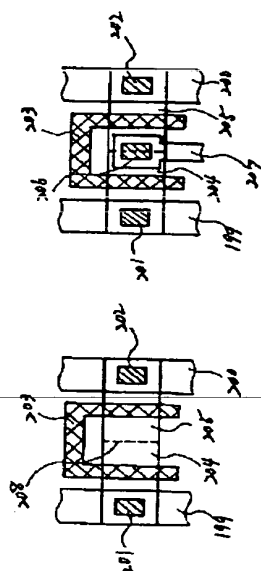


第 5 図



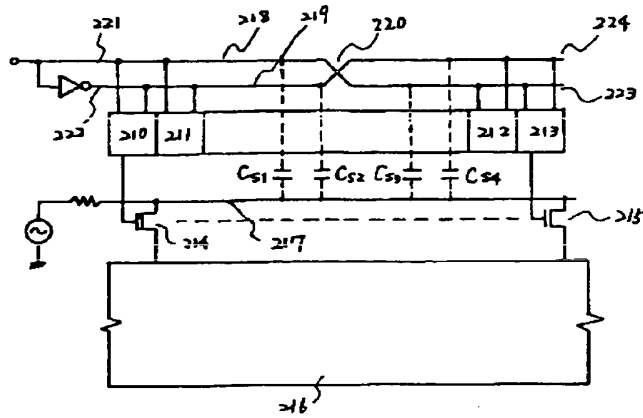
第 6 図

第 9 図

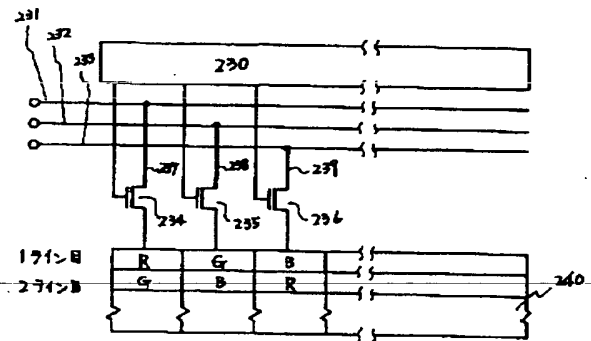


第 10 図 (a)

第 10 図 (b)



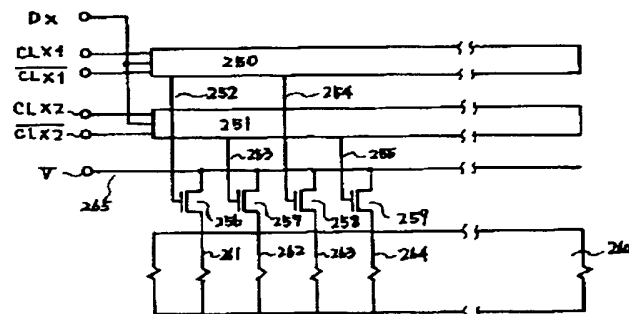
第11図 (a)



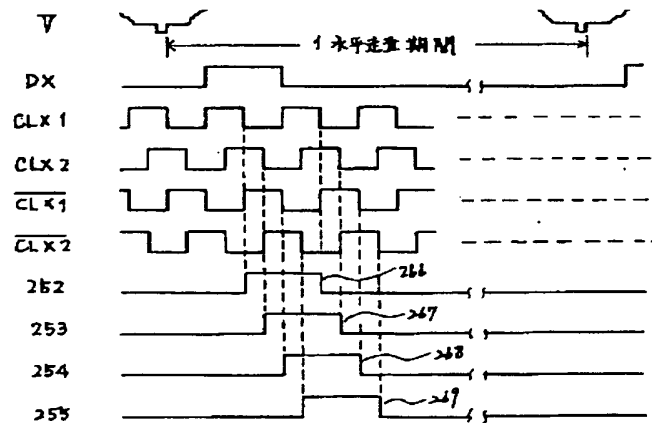
第12図



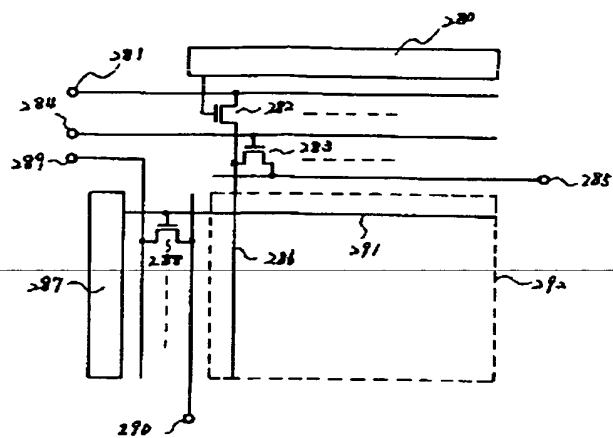
第11図 (b)



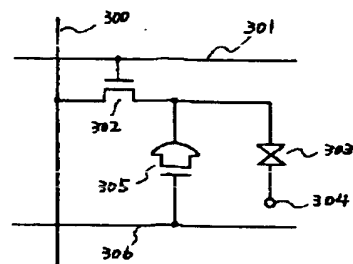
第13図 (a)



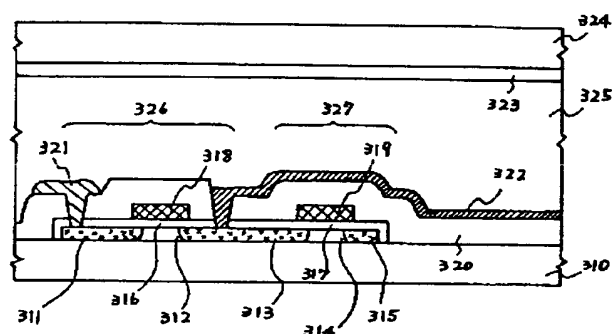
第13図 (b)



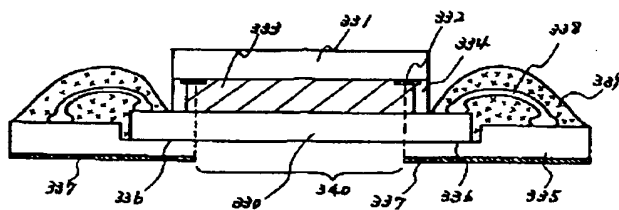
第14図



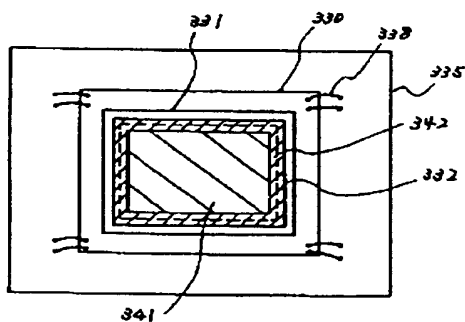
第15図 (a)



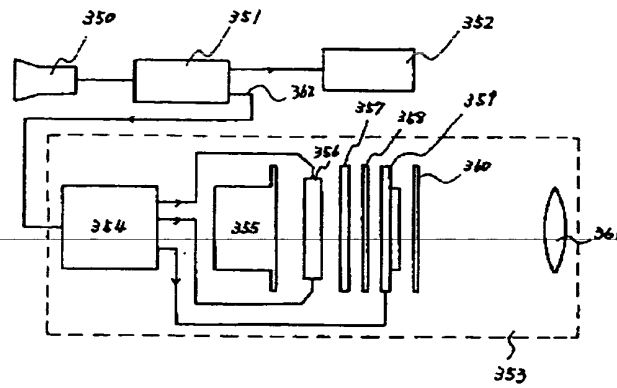
第15図 (b)



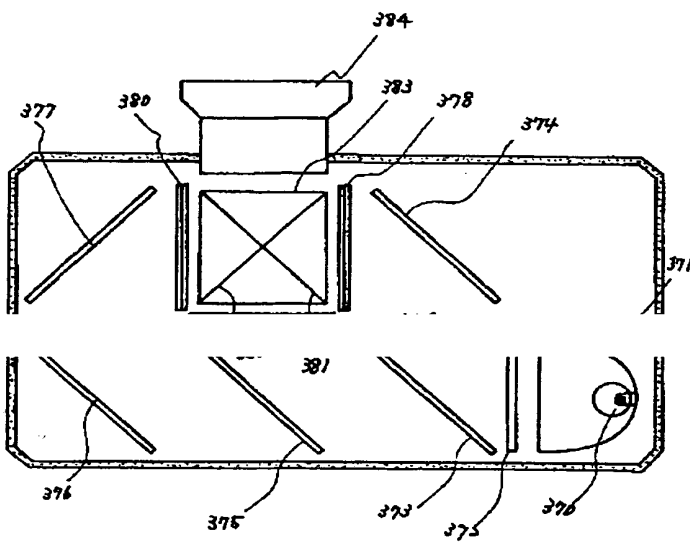
第16図 (a)



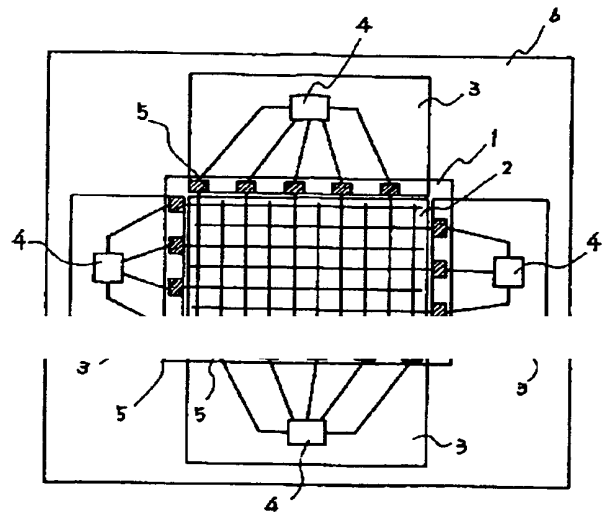
第16図 (b)



第 17 図



第 18 図



第 19 図